

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 07 月 28 日
Application Date

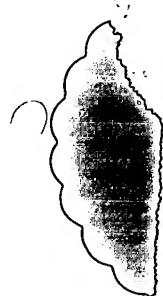
申 請 案 號：092120501
Application No.

申 請 人：國立交通大學
Applicant(s)

局 長

Director General

蔡 繆 生



發文日期：西元 2003 年 10 月 9 日
Issue Date

發文字號：09221020020
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

壹、發明名稱：(中文/英文)

在矽鋒磊晶片上成長砷化鎵磊晶之方法

A method for growing a GaAs epitaxial layer on Ge/GeSi/Si substrate

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學(National Chiao Tung University)

代表人：(中文/英文)

張俊彥(Chun-Yen Chang)

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

國 籍：(中文/英文)

中華民國

參、發明人：(共 4 人)

姓 名：(中文/英文)

1. 張翼(Edward Y. Chang)
2. 羅廣禮(Guangli Luo)
3. 楊宗煊(Tsung-Hsi Yang)
4. 張俊彥(Chun-Yen Chang)

住居所地址：(中文/英文)

1. 台北市民生東路 5 段 69 巷 3 弄 3 號 4F 之 1
2. 新竹市交通大學電子資訊中心 414 室
3. 台中縣潭子鄉頭張路 2 段 70 巷 13 號 2F 之 1
4. 新竹市大學路 1003 巷 10 號 3F

國 籍：(中文/英文)

1. 中華民國(Taiwan, R.O.C.)
2. 中國大陸(P.R.C.)
3. 中華民國(Taiwan, R.O.C.)
4. 中華民國(Taiwan, R.O.C.)

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：
【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 本案未在國外申請專利
- 2.
- 3.
- 4.
- 5.

主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

本發明之方法係藉由超高真空化學氣相磊晶法(UHVCVD)於矽晶片上成長矽鍺磊晶，最後再以金屬有機物化學氣相磊晶法(MOCVD)於該鍺薄膜上成長一砷化鎵層。

本發明之方法藉由矽鍺磊晶層之缺陷侷限化及利用應變界面阻擋該缺陷之傳遞而降低缺陷密度、總磊晶層之厚度，及表面粗糙度之缺點等。

首先，利用標準清洗步驟以潔淨矽晶片，再以HF溶液浸濕及高溫預烘以去除表面之俱生氧化層，隨後以超高真空化學氣相磊晶法(UHVCVD)，於一特定之操作條件下，在矽晶片上成長一層高鍺含量之矽鍺磊晶層(如0.8微米之 $\text{Si}_{0.1}\text{Ge}_{0.9}$)，利用本層容納大量因晶格失配所產生的線差排於該層底部及界面處。接著，進一步地成長第二或視需要第三層之矽鍺磊晶層(如0.8微米之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 、 $\text{Si}_{0.02}\text{Ge}_{0.98}$)，以利用所形成的應變界面更能有效地阻擋未湮滅掉而傳遞上去之線差排。然後於該磊晶表面上再成長一純鍺之薄膜。

最後，再以金屬有機物化學氣相磊晶法(MOCVD)於該鍺薄膜上成長一砷化鎵磊晶層。

陸、英文發明摘要：

This invention provides a method for growing Ge epitaxial layers on Si substrate and subsequently growing a GaAs layer on Ge film using ultra-high vacuum chemical vapor deposition(UHVCVD) and metal organic chemical vapor deposition(MOCVD).

This invention also provides a method, based on the principles of strained interfaces blocking the threading dislocation generated from the Ge epitaxial layers, to reduce the total thickness, dislocation density and surface roughness on the Ge epitaxial layers.

Firstly, precleaning the Si substrate in a standard cleaning procedure, dipping it with HF solution and prebaking to remove its native oxidized layer. Then, growing a high Ge-contained epitaxial layer, such as $\text{Si}_{0.1}\text{Ge}_{0.9}$, in a thickness of $0.8 \mu\text{m}$ on said Si substrate using ultra-high vacuum chemical vapor deposition under certain conditions. During the period of growing, many dislocations are generated and located near the interface and in the low part of $\text{Si}_{0.1}\text{Ge}_{0.9}$ due to the large mismatch between this layer and Si substrate.

Furthermore, a subsequent $0.8 \mu\text{m} \text{Si}_{0.05}\text{Ge}_{0.95}$ layers, and optionally a further $0.8 \mu\text{m} \text{Si}_{0.02}\text{Ge}_{0.98}$ layer, are grown. The formed strained interfaces of said layers can bend and terminate the propagated upward dislocation very effectively. Then, a film of Ge is grown on said uppermost epitaxial layer.

Finally an additional GaAs layer is grown on Ge film by MOCVD.

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

無。

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

玖、發明說明：

(一) 發明所屬之技術領域

本發明係關於在矽鋒磊晶片上成長高品質砷化鎵磊晶之方法，該方法結合各相關技術及觀念之改良，其運用了超高真空化學氣相磊晶(UHVCVD)以成長鋒磊晶薄膜，然後再以金屬有機物化學氣相磊晶法(MOCVD)於該鋒薄膜上成長一砷化鎵磊晶層。

本發明亦關於一種能在矽鋒磊晶片上成長高品質砷化鎵薄膜之方法，其藉由在矽鋒磊晶層將差排侷限化並利用應變界面阻擋該線差排之傳遞，而使該方法具有大幅降低總磊晶層之厚度、減少缺陷密度，及解決了表面粗糙度問題等優點。由於這些優點使本發明之技術具有成本低廉、方法簡單及產能高等特性，故本發明對於製作IV族高速元件、光學元件以及整合IV族與III-IV族積體電路之技術而言，非常具有競爭力及產業上之利用價值與潛力。

(二) 先前技術

對於較先進之半導體元件之製造而言，於矽晶片上成長高品質的砷化鎵或其他III-V族化合物半導體係為此一領域長久期待及努力的目標。此種材料構造上的優點包括，在應用方面，砷化鎵具有高的電子遷移率及光學特性，而矽晶片具有較優的機械強度及良好的熱傳導性質；此外對其他先進之電子元件而言，由於III-V族化合物與矽晶片之結合，其亦提供了整合砷化鎵之可能性。

惟在矽晶片上異質磊晶砷化鎵，該元件構造上的主要限

制為在兩種材料間，其具有晶格常數（lattice constant）4.1%之差距及本質的熱膨脹係數差異，此種在異質界面上之晶格失配（mismatch）形成了失配差排網絡和所謂之反相區域（anti-phase domain）。在典型之磊晶成長條件下，這些缺陷之存在將嚴重地限制在矽上砷化鎵元件之應用。

目前用以克服在矽上成長砷化鎵所產生缺陷之方法包括：改變直接在矽上成長砷化鎵之成長條件、利用應變超晶格緩衝層以過濾線差排（threading dislocation）、及利用鋁含量漸變矽鋁緩衝層之技術。類似方法仍分別存在著線差排密度過高、或磊晶過程之間或之後，在磊晶層內之龜裂、或磊晶層過厚等問題。

例如，在矽上直接成長砷化鎵層之技術，其為了降低由於砷化鎵/矽晶格失配所引起的大量線差排，習知技藝者係採退火技術或應變界面超晶格緩衝層過濾技術來解決，相關之揭示包括由美國專利 US 5959308、5879962、5473174、5308444、5438951、5238869、5183776 及 5141893 所揭示，及 A.C.Gossard 等人所發表文獻 "Subpicosecond carrier dynamics in low-temperature grown GaAs on Si substrates" (Applied Physics Letters, Vol. 75, No. 17, 25 Oct. 1999)、以及 P.J.Goodhew 等人所發表文獻 "Growth of high quality gallium arsenide on HF-etched silicon by chemical beam epitaxy" (Applied Physics Letters, Vol. 62, No. 14, 5 April 1993) 及 T.F.Carruthers 等人所

發表文獻 "Integration of low-temperature GaAs on Si substrates" (Applied Physics Letters, Vol. 62, No. 3, 18 Jan. 1993)。這些習知技術對於克服直接在矽上成長砷化鎵磊晶層，其所產生之線差排密度之降低幅度其實相當有限，一般約在 $10^8/cm^2$ ，即令再經高溫退火處理也僅降至 $10^7/cm^2$ 而已；且還由於砷化鎵與矽之間的熱膨脹係數差異較大，因此熱處理過程所誘發之額外差排亦難以消除，故在高性能元件之製作方面，上述習知的成長技術難以符合要求。

此外，利用緩衝層於矽上成長砷化鎵，亦即構造為砷化鎵 / 緩衝層 / 矽，其中該緩衝層目前已知包括 SeS_2 、 ZnSe 或 STO 膜等。例如，M.Umeno 等人所發表之文獻 "High-quality GaAs on Si substrate by the epitaxial lift-off technique using SeS_2 " (Applied Physics Letters, Vol. 75, No. 24, 13 Dec. 1999)，曾揭示一種接合 (bonding) 技術，即利用 SeS_2 作為夾層把砷化鎵晶圓接合在矽晶片上，再用剝離 (lift-off) 技術獲得所需要之砷化鎵層。然而很明顯地，此項技術成本很高，而且無法獲得大尺寸之矽晶片上砷化鎵。

而 J.C.Tramontana 等人所發表之文獻 "Use of ZnSe as an interlayer for GaAs growth on Si" (Applied Physics Letters, Vol. 61, No. 2, 13 July 1992)，則揭示利用 ZnSe 作為緩衝層於矽晶片上成長砷化鎵，即砷化鎵 / ZnSe / 矽。但在矽晶片上成長高品質之 ZnSe 十分困難，而且 ZnSe 的

熱導係數小並不利於元件之製作，故此種技術並不具備實用性。

再者，K.Esenbeiser 等人所發表之文獻 "New research yield epitaxially grown GaAs on Si" (Solid State Technology, 45, 61 2002)，曾揭示利用 STO 膜作為緩衝層於矽晶片上成長砷化鎵，即砷化鎵 / STO / 矽。但 STO 膜必須利用分子束磊晶技術 (MBE) 成長而成長技術困難、成本昂貴且產量低，另外，STO 膜本身的熱導矽數也很小 (0.026 W/cm K)而不利於元件之散熱，故此種技術之實用性亦不被看好。

至於採取矽鋅含量漸變緩衝層之技術者，例如 A.C.Gossard 等人所發表 "Subpicosecond carrier dynamics in low-temperature grown GaAs on Si substrates" 該篇文獻中其利用 $\text{Si}_{1-x}\text{Ge}_x$ 作為中間之緩衝層於矽晶片上成長砷化鎵，由於鋅與砷化鎵具有十分接近的晶格常數和熱膨脹係數，因此這項技術相對地最具有應用前景，但仍然存在著一些明顯的缺失。其為獲得低的差排密度之鋅磊晶層，於成長過程中， $\text{Si}_{1-x}\text{Ge}_x$ 中的鋅含量需要由零漸增至百分之百，如此之鋅含量漸變緩衝層其厚度往往達到 10 微米以上。過大的厚度將會增加元件製造的困難度及磊晶製作的成本。另外，此種技術成長的鋅其表面會出現井狀的圖案，而使得表面粗糙度增加而變差，為解決這種問題，彼等採用化學機械研磨 (CMP) 技術進行消除，但其運用同樣帶來技術上的難度及成本上的問題。

(三) 發明內容

本發明之目的在於解決先前技術中應用緩衝層在矽晶片上成長砷化鎵之缺失，特別是利用 $\text{Si}_{1-x}\text{Ge}_x$ 作為緩衝層於矽晶片上成長砷化鎵的技術，本發明提供了包括如何降低總磊晶之厚度、解決過大之高鋋含量磊晶層之表面粗糙度、及降低因為晶格失配所形成缺陷密度過高等問題之解決技術。

有關利用 $\text{Si}_{1-x}\text{Ge}_x$ 作為緩衝層於矽晶片上成長砷化鎵的技術，E.A.Fitzgerald 等人曾發表於 "Impact of GaAs buffer thickness on electronic quality of GaAs grown on graded Ge/GeSi/Si substrate" (Applied Physics Letters, Vol. 76, No. 14, 3 April 2000)，彼等係於矽晶片上成長鋋含量漸變之矽鋋磊晶，再以分子束磊晶法 (MBE) 於該最頂層之鋋薄膜上進行一砷化鎵層磊晶；其中 E.A.Fitzgerald 等人已於美國專利案 US 6291321、6107653 中揭露了於矽晶片上成長 $\text{Si}_{1-x}\text{Ge}_x$ 之技術，而有關鋋表面進行砷化鎵磊晶，例如採分子束磊晶法 (MBE) 則見於 Jeng-Ming Kuo 等人之美國專利案 US 5308444 所揭示的。

E.A.Fitzgerald 等人在 US 6291323 專利中所揭示之半導體構造，係為一鋋含量梯度從零漸變之矽鋋磊晶層，具有低差排密度，然而總磊晶層厚度卻達十微米以上。其揭示之製造方法為於矽晶片上，以 MBE 或超高真空化學氣相磊晶成長其含有矽鋋含量漸變之第一層，通常以每微米 10 % 鋋含量之漸變速率，漸增至 50% 鋋含量後，接著利用 CMP

技術平坦化該層表面，此時第一層之厚度約為 5 微米；然後再成長第二層，鎵含量由 50% 增至 75%，接著再用 CMP 技術平坦化該第二層表面，此時第二層之厚度約為 2.5 微米；第三層後之高鎵含量磊晶層，改變其磊晶條件，包括調降成長溫度及成長氣體分壓，此時成長之厚度約為 2.5 微米以上。根據上述方法最佳實施例所製得之樣品為：表面無龜裂、線差排密度約 $10^6 / \text{cm}^2$ 、表面粒狀物密度約 150/ cm^2 、粗糙度 24 奈米及總磊晶厚度至少 10 微米以上之磊晶層。

然後再根據其於 "Impact of GaAs buffer thickness on electronic quality of GaAs grown on graded Ge/GeSi/Si substrate" 文獻中所揭，使用分子束磊晶法於該鎵薄膜上，再磊晶一層約 2.5 微米之砷化鎵。

然而，本發明方法特點之一為，首先在矽晶片上成長一層高鎵含量之矽鎵磊晶層（如 0.5 至 0.8 微米之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ ），利用本層容納大量因晶格失配所產生之線差排於該層底部與界面處。接著成長第二或第三層更高鎵含量之矽鎵磊晶層（如 0.5 至 0.8 微米之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 、 $\text{Si}_{0.02}\text{Ge}_{0.98}$ ），利用各層之間所形成的應變界面，以進一步阻擋在第一層未湮滅掉而傳遞上去之線差排，最後成長為總磊晶厚度僅數微米之鎵薄膜磊晶層，例如 3 微米以下。接著再以金屬有機化學氣相磊晶法，於該鎵薄膜表面磊晶一層特定厚度之砷化鎵磊晶。該砷化鎵磊晶厚度可視所製作元件之特性需求而定，例如 1 至 3 微米厚。

在上述成長過程中，對每一單層作即時之高溫退火處理，即於 650 至 800°C 下進行 15 至 60 分鐘，以進一步提高鍺薄膜及砷化鎵之磊晶品質。

與 E.A.Fitzgerald 等人之研究及專利相較，本發明係採取高含量鍺，例如 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 為起始第一層之矽鍺磊晶，然後以階梯式地提供其更高鍺含量，例如 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 、或視需要增加之 $\text{Si}_{0.02}\text{Ge}_{0.98}$ 磊晶成長，其目的係利用成長具有特定厚度之第一層，使大量因晶格失配產生之線差排發生在此磊晶層內，然後再成長第二或視需要第三層，利用其所形成應變界面阻擋第一層線差排之向上傳遞，故本發明顯然相對於採每微米漸增 5% 或 10% 鍺含量的成長方式係為截然不同之技術觀念，若依前者之漸變梯度至 100%，則其矽鍺磊晶層厚度無法降至 10 微米以下，而本發明之總磊晶層厚度可控制在約 3 微米以下（如果不計最後成長之砷化鎵磊晶厚度）。

其次，本發明之另一特點為，本發明在矽上成長矽鍺磊晶之方法係採用超高真空化學氣相磊晶技術，在磊晶溫度 350 至 650°C 範圍，以高純度之 SiH_4 、 GeH_4 為成長氣體、成長氣體壓力 20 至 100 毫托下，進行矽鍺磊晶之成長，其不論第一磊晶層、第二層或視需要之第三層之高鍺含量成長均維持特定之操作條件，僅改變成長氣體中總矽鍺之比例。然而，習知之鍺含量漸變技術為達到特定之鍺含量漸變卻必須小心地控制其鍺含量漸變梯度，例如為了降低線差排密度，則選擇較低之鍺含量漸變梯度，但卻造成磊晶層

厚度過高，及一旦成長溫度下降後在磊晶層與矽之間的熱失配所產生之拉伸應變界面；但是如果選擇較高之鋨含量漸變梯度，例如每微米漸增 10% 鋨含量以上，則其線差排密度變大。低鋨含量之漸變梯度磊晶層中上述現象尚不明顯，但是達到高鋨含量區域，例如 $\text{Si}_{0.25}\text{Ge}_{0.75}$ 以上時，以超高真空化學氣相磊晶技術於初期如 750°C 下成長，進入高鋨含量後需降低成長溫度，例如 550°C，及更低分壓，例如 3 毫托來緩和。

然而，本發明所採用之超高真空化學氣相磊晶技術中，並不需改變其溫度條件及明顯之壓力變化，故可維持高品質之鋨薄膜表面及利於砷化鎵磊晶之成長。

習知技術中更包括於每一層磊晶層成長階段之平坦化步驟，例如以化學機械研磨(CMP)方式消除其表面粗糙度並續行其後一層之漸變梯度成長；然而本發明可省卻 CMP 複雜之工序，特別係從提供具有平整表面之矽晶片，及在每一磊晶層成長階段間之即時高溫退火著手，以達到同樣甚或更佳之平坦化效果。本發明中具有平整表面之矽晶片之提供，係先以標準清洗步驟潔淨，再於 10% 氢氟酸溶液中浸濕，然後去離子水清洗，最後再於 800°C 下進行去除俱生氧化層之處理；至於每一磊晶層成長階段間之即時高溫退火處理，係在 750°C 下進行 0.25 至 1 小時，進一步降低差排密度提高單晶品質。

本發明之再一特點為，透過本發明之方法可製作 IV 族高速元件、光學元件以及整合 IV 族與 III - IV 族積體電路

之技術。IV族高速元件/光學元件，例如為鍺金氧半場效電晶體(Ge MOSFET)、鍺光感測器(Ge photodetector)之IV族材料高頻元件/光學元件；III-IV族之應用包括，例如利用鍺與砷化鎵晶格匹配，在鍺為緩衝層下以成長高品質之砷化鎵材料，其可作為III-IV族材料之晶片以及作為整合III-IV族與IV族之整合晶片。上述之III-IV族材料其應用包括作為異質接面雙極電晶體(HBT)、金半電晶體(MESFET)、高電子遷移電晶體(HEMET)、發光二極體(LED)、雷射(Laser)等結構之磊晶晶片。

(四) 實施方式

本發明揭示如下列之實施例，但不受該實施例所侷限。

實施例

首先，利用標準清洗步驟潔淨矽晶片，該潔淨處理包括將矽晶片浸置於 $H_2O_2 : H_2SO_4$ 比例為1:4之溶液中約10分鐘，然後取出以去離子水(D.I. water)清洗10分鐘後，再以10%HF溶液浸濕約30秒並隨之以去離子水清洗之。隨後馬上送進UHVCVD系中，進行成長以前先於800°C下作預烘(prebaking)約10分鐘以去除表面氧化層，再緩降溫度至400°C，待溫度穩定後立即成長磊晶層。該超高真空化學氣相磊晶系統為具有加熱裝置之石英爐管，背景真空可用分子幫浦抽至 5×10^{-8} 托(torr)以下。成長使用氣體為 SiH_4 、 GeH_4 ，由質流控制器(MFC)控制成長流量，其中 SiH_4 之流量保持固定，每次僅調整 GeH_4 之供應流量，在特定之操作條件下，包括：

- (1) 磷晶溫度範圍：350至650°C，較佳為400°C；
- (2) 成長氣體壓力範圍：20至100毫托，較佳為20毫托；
- (3) 成長氣體種類：高純度之 SiH_4 、 GeH_4 氣體；

其次，更進一步地成長第二或第三層之更高鉭含量之矽
鉭磷晶層（每層厚度至少0.1微米以上，較佳為0.5至0.8
微米，特佳為0.8微米之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 、 $\text{Si}_{0.02}\text{Ge}_{0.98}$ ）以利
用所形成之應變界面更能阻擋在第一層未湮滅掉而傳遞上
去之線差排，接著成長為一定厚度之鉭薄膜，例如1微米
厚。最後再以金屬有機化學氣相磷晶法，於650°C下成長厚
度約1至3微米之砷化鎵磷晶層。

上述該成長過程中，每一單層應作即時(*in-situ*)高溫
退火，即於650至800°C，較佳為750°C下，進行0.25至1
小時、退火之氛圍為氰氣、壓力範圍為5至20毫托，以進
一步提高鉭薄膜及砷化鎵磷晶之品質。

有關在矽晶片上進行鉭磷晶成長過程中，第一層之鉭含
量至少大於70%，較佳為70%至90%之間，特佳為90%；
其次第二層之鉭含量為80%至98%之間，較佳為95%；可
視需要地進行第三層磷晶之成長，選擇之鉭含量介於第二
層與純鉭之間；最後一層之鉭含量為100%，又由於鉭與砷
化鎵之晶格常數相同，故再直接於鉭薄膜表面成長砷化鎵
。

有關本發明最佳之矽鉭磷晶上成長砷化鎵之結果，其中
係以鉭含量為90%之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 作為起始第一層之矽鉭磷晶

在成長溫度 400°C 、成長氣體壓力為 20 毫托下，成長厚度約 0.8 微米，然後於 750°C 下退火 15 分鐘；接著以鍺含量為 95% 之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 作為第二層之矽鍺磊晶，在成長溫度 400°C 、成長氣體壓力為 20 毫托下，成長厚度約 0.8 微米，然後於 750°C 下退火 15 分鐘；再接著，以鍺含量為 98% 之 $\text{Si}_{0.02}\text{Ge}_{0.98}$ 作為第三層之矽鍺磊晶，在成長溫度 400°C 、成長氣體壓力為 20 毫托下，成長厚度約 0.8 微米，然後於 750°C 下退火 15 分鐘；再以 100% 之純鍺於成長溫度 400°C 、成長氣體壓力為 20 毫托下，成長厚度約 1.0 微米，然後於 750°C 下退火 15 分鐘；最後再以金屬有機化學氣相磊晶法，於 650°C 下成長厚度約 1 至 3 微米之砷化鎵磊晶。

(五) 圖式簡單說明

第 1 圖為依據本發明之矽鍺磊晶成長機制示意圖，其表示該線差排的侷限化控制與應變界面界面阻擋技術之機制；

第 2 圖為依據本發明實施樣品之砷化鎵 / 矽鍺緩衝層 / 矽之 XRD 圖，分析結果顯示利用矽鍺緩衝層成長出來之砷化鎵，其單晶品質良好。

第 3 圖為依據本發明實施樣品之橫截面高解析穿透電子顯微鏡照片，其顯示在矽鍺磊晶上成長之砷化鎵原子排列整齊，單晶品質良好。

拾、申請專利範圍：

1. 一種於矽鍺晶片上成長砷化鎵磊晶之方法，包括：

- (1) 提供一潔淨平坦之矽晶片；
- (2) 成長具有特定厚度之第一矽鍺磊晶層，使其容納大量因晶格失配所產生的線差排於該層底部及界面處；
- (3) 進行第一矽鍺磊晶層之即時高溫退火，以降低線差排密度；
- (4) 成長第二及視需要之第三矽鍺磊晶層，使其產生之應變界面阻擋第一磊晶層向上傳遞之線差排，並於兩次成長期間進行即時高溫退火；
- (5) 於步驟(4)之最上層磊晶表面，成長一純鍺薄膜；及
- (6) 最後，在純鍺薄膜上，成長一砷化鎵磊晶；
其中，磊晶係於 350 至 650°C、成長氣體壓力 20 至 100 毫托下，步驟(1)至(5)以超高真空化學氣相磊晶法進行成長，而步驟(6)之磊晶係以金屬有機化學氣相磊晶法進行成長；又，即時高溫退火處理係在 650 至 800°C 下進行 0.25 至 1 小時。

2. 如申請專利範圍第 1 項之方法，其中步驟(1)矽晶片係以標準清洗步驟潔淨，經 10% 氢氟酸溶液浸濕，並於 800°C 下預烘 10 分鐘以去除氧化層。
3. 如申請專利範圍第 1 項之方法，其中第一矽鍺磊晶層為至少 0.1 微米以上之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 。

4. 如申請專利範圍第 1 或 3 項之方法，其中第一矽鍺磊晶層為 0.5 至 0.8 微米之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 。
5. 如申請專利範圍第 1 項之方法，其中第二矽鍺磊晶層為至少 0.1 微米以上之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 。
6. 如申請專利範圍第 1 或 5 項之方法，其中第二矽鍺磊晶層為 0.5 至 0.8 微米之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 。
7. 如申請專利範圍第 1 項之方法，其中視需要之第三矽鍺磊晶層為至少 0.1 微米以上之 $\text{Si}_{0.02}\text{Ge}_{0.98}$ 。
8. 如申請專利範圍第 1 或 7 項之方法，其中視需要之第三矽鍺磊晶層為 0.5 至 0.8 微米之 $\text{Si}_{0.02}\text{Ge}_{0.98}$ 。
9. 如申請專利範圍第 1 項之方法，其中第一矽鍺磊晶層之鍺含量可為 70 至 90%。
10. 如申請專利範圍第 1 項之方法，其中第二矽鍺磊晶層之鍺含量可為 80 至 95%。
11. 如申請專利範圍第 1 項之方法，其中磊晶成長溫度係於 400°C 下進行。
12. 如申請專利範圍第 1 項之方法，其中即時高溫退火係於 750°C 下進行至少 15 分鐘。
13. 如申請專利範圍第 1 或 12 項之方法，其中即時高溫退火之氛圍為氰氣、退火之氣體壓力為 20 毫托。
14. 一種於矽鍺磊晶片上成長砷化鎵磊晶之方法，包括：
 - (1) 提供一潔淨平坦之矽晶片；
 - (2) 成長具有特定厚度且鍺含量至少 70% 以上之第一矽鍺磊晶層；

- (3) 進行矽晶片與第一矽鍺磊晶層之即時高溫退火；
- (4) 成長鍺含量更高之第二矽鍺磊晶層及視需要之第三矽鍺磊晶層，並於兩次成長期間進行即時高溫退火；
- (5) 於步驟(4)之最上層磊晶表面上，成長一純鍺薄膜；
- (6) 最後，在純鍺薄膜上，成長一砷化鎵磊晶；
其中，步驟(1)至(5)磊晶層之鍺含量由第一矽鍺磊晶層、第二矽鍺磊晶層、視需要之第三矽鍺磊晶層至最上層之純鍺薄膜，係呈階梯式增加，係於350至650°C、成長氣體壓力20至100毫托下，以超高真空化學氣相磊晶法進行成長，而步驟(6)之磊晶係以金屬有機化學氣相磊晶法進行成長；又，即時高溫退火處理係在650至800°C下進行0.25至1小時。

15. 如申請專利範圍第14項之方法，其中步驟(1)矽晶片係以標準清洗步驟潔淨，經10%氫氟酸溶液浸濕，並於800°C下預烘10分鐘以去除氧化層。
16. 如申請專利範圍第14項之方法，其中第一矽鍺磊晶層為至少0.1微米以上之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 。
17. 如申請專利範圍第14或16項之方法，其中第一矽鍺磊晶層為0.5至0.8微米之 $\text{Si}_{0.1}\text{Ge}_{0.9}$ 。
18. 如申請專利範圍第14項之方法，其中第二矽鍺磊晶層為至少0.1微米以上之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 。

19. 如申請專利範圍第 14 或 18 項之方法，其中第二矽鍺磊晶層為 0.5 至 0.8 微米之 $\text{Si}_{0.05}\text{Ge}_{0.95}$ 。

20. 如申請專利範圍第 14 項之方法，其中視需要之第三矽鍺磊晶層為至少 0.1 微米以上之 $\text{Si}_{0.02}\text{Ge}_{0.98}$ 。

21. 如申請專利範圍第 14 或 20 項之方法，其中視需要之第三矽鍺磊晶層為 0.5 至 0.8 微米之 $\text{Si}_{0.02}\text{Ge}_{0.98}$ 。

22. 如申請專利範圍第 14 項之方法，其中第一矽鍺磊晶層之鍺含量可為 70 至 90%。

23. 如申請專利範圍第 14 項之方法，其中第二矽鍺磊晶層之鍺含量可為 80 至 95%。

24. 如申請專利範圍第 14 項之方法，其中磊晶成長溫度係於 400°C 下進行。

25. 如申請專利範圍第 14 項之方法，其中即時高溫退火係於 750°C 下進行至少 5 分鐘。

26. 如申請專利範圍第 14 或 25 項之方法，其中即時高溫退火之氣圍為氰氣、退火之氣體壓力為 20 毫托。

27. 一種砷化鎵磊晶半導體構造，包含一矽晶片，一鍺含量至少 70% 之第一矽鍺磊晶層，一較高鍺含量之第二矽鍺磊晶層，及視需要之第三矽鍺磊晶層且其鍺含量比第二矽鍺磊晶層更高，一純鍺之薄膜，及最上層為一砷化鎵磊晶層，其特徵在於：第一矽鍺磊晶層可容納因大量晶格失配而產生之線差排於該層底部及界面，而第二矽鍺磊晶層及視需要之第三矽鍺磊晶層可利用其應變界面阻擋該第一矽鍺磊晶層線差排之往上傳遞。

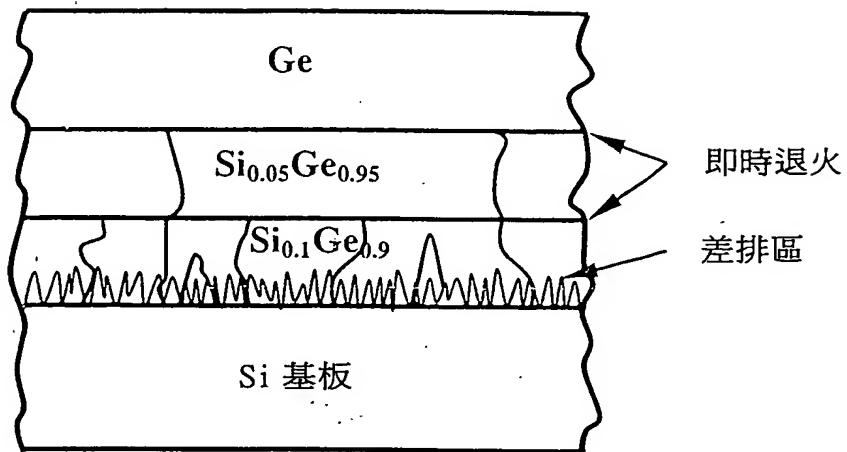
28. 一種砷化鎵晶半導體構造，包含一矽晶片，一鍺含量至少 70% 之第一矽鍺磊晶層，一較高鍺含量之第二矽鍺磊晶層，及視需要之第三矽鍺磊晶層且其鍺含量比第二矽鍺磊晶層更高，一純鍺之薄膜，及最上層為一砷化鎵磊晶層，其特徵在於：矽鍺磊晶層中之鍺含量相對於磊晶層之厚度係呈階梯式增加，在不計砷化鎵層厚度下，總磊晶層厚度可控制不大於 3.0 微米。

29. 一種砷化鎵晶半導體構造，包含一矽晶片，一鍺含量至少 70% 之第一矽鍺磊晶層，一較高鍺含量之第二矽鍺磊晶層，及視需要之第三矽鍺磊晶層且其鍺含量比第二矽鍺磊晶層更高，一純鍺之薄膜，及最上層為一砷化鎵磊晶層，其特徵在於：利用申請專利範圍第 1 或 14 項之方法，線差排密度可控制不大於 $10^6 / \text{cm}^2$ 。

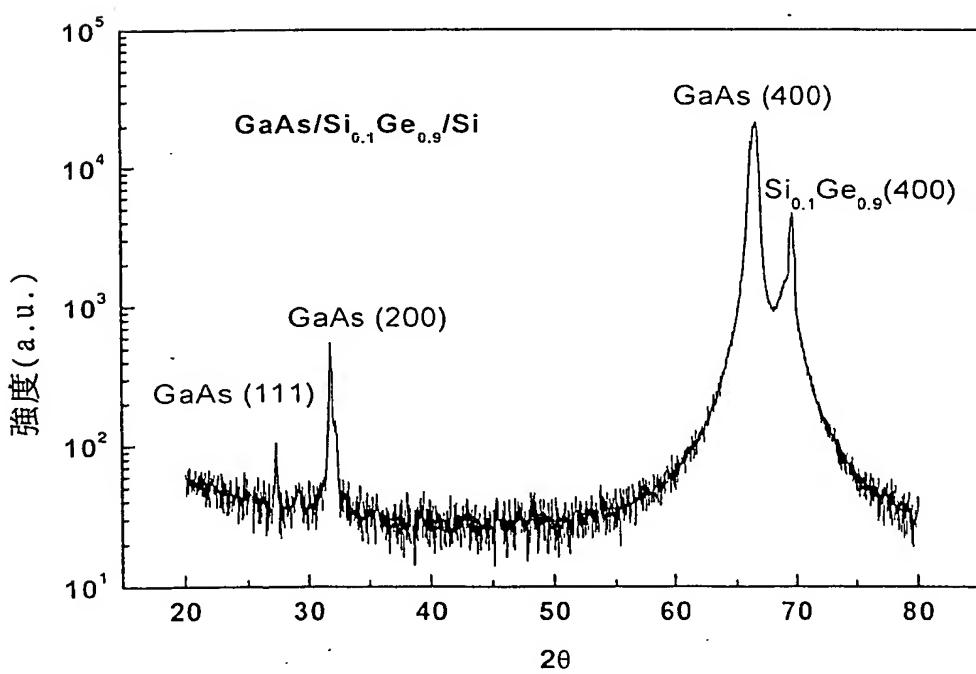
30. 如申請專利範圍第 27 至 29 項其中一項之構造，其作為高頻元件及光學元件。

31. 如申請專利範圍第 27 至 29 項其中一項之構造，另可作為 III-IV 族材料之晶片及作為整合 III-IV 族與 IV 族之整合晶片。

拾壹、圖式：

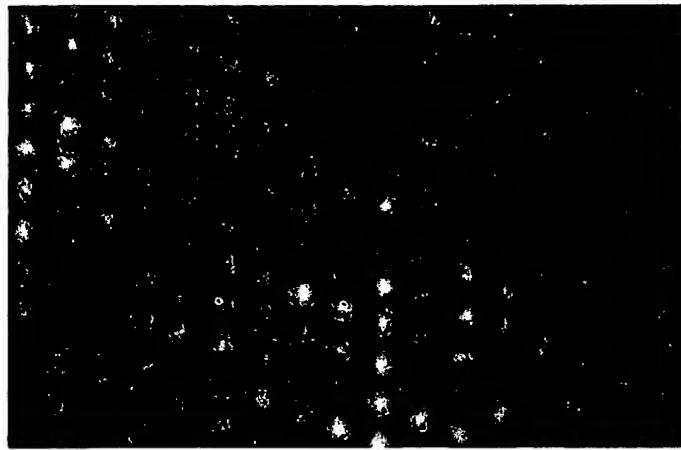


第 1 圖 為線差排控制的機制示意圖



第 2 圖 為 GaAs/SiGe/Si XRD 分析圖

BEST AVAILABLE COPY



第3圖 在矽鎂磊晶片上成長之砷化鎵